

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

02821455 **Image available**

SEMICONDUCTOR MEMORY DEVICE

PUB. NO.: **01-119055** [JP 1119055 A]

PUBLISHED: May 11, 1989 (19890511)

INVENTOR(s): NAKAJIMA HIDEHARU

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-276237 [JP 87276237]

FILED: October 31, 1987 (19871031)

INTL CLASS: [4] H01L-027 10; H01L-027 04

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 804, Vol. 13, No. 359, Pg. 98, August
10, 1989 (19890810)

ABSTRACT

PURPOSE: To fully secure the capacity at capacity part and the gate length and width of switching transistor and to obtain a semiconductor memory device with improved coverage of wiring by forming a gate electrode at the recessed side wall formed on a semiconductor substrate and by forming the capacity part being embedded at the recessed part by connecting it to the bottom of concave part electrically.

CONSTITUTION: Memory cell consists of a MIS transistor 14 and a capacitor part 9. After forming an element separation insulation film 2 on a semiconductor substrate 1, a recessed part 3 is formed. Then, a substrate diffusion area 4 and a gate insulation film 5 are formed. After forming a polycrystalline semiconductor layer on the entire surface, a gate electrode 6 is formed on the side wall of the recessed part 3. An insulation film 7 is formed on the side wall of the gate electrode 6 and then the insulation film 7 and the gate insulation film 5 at the bottom part of the recessed part 3 are removed. Then, a polycrystalline semiconductor layer 8 is formed where impurities were doped and annealed. Then, the capacity part 9 is embedded so that it is electrically connected to the bottom part of the recessed part 3 and a polycrystalline semiconductor layer 10 is formed on it. Then, after forming an insulation film between layers 11, a contact area 12 is formed and a wiring layer 13 is formed to complete a semiconductor memory device.

DIALOG(R)File 345:Inpadoc Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

8698485

Basic Patent (No,Kind,Date): JP 1119055 A2 890511 <No. of Patents: 001>

SEMICONDUCTOR MEMORY DEVICE (English)

Patent Assignee: SONY CORP

Author (Inventor): NAKAJIMA HIDEHARU

IPC: *H01L-027 10; H01L-027 04

Derwent WPI Acc No: G 89-181679

JAPIO Reference No: 130359E000098

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 1119055	A2	890511	JP 87276237	A	871031 (BASIC)

Priority Data (No,Kind,Date):

JP 87276237 A 871031

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-119055

⑬ Int. Cl.⁴

H 01 L 27/10
27/04
27/10

識別記号

3 2 5
3 2 5

庁内整理番号

E-8624-5F
C-7514-5F
M-8624-5F

⑭ 公開 平成1年(1989)5月11日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 半導体メモリ装置

⑯ 特 願 昭62-276237

⑰ 出 願 昭62(1987)10月31日

⑱ 発 明 者 中 嶋 英 晴 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 高 月 亨

明 細 書

1. 発明の名称

半導体メモリ装置

2. 特許請求の範囲

1. メモリセルがスイッチングトランジスタを形成するMIS トランジスタと容量部とを有し、上記MIS トランジスタのゲート電極上の少なくとも一部に絶縁膜を介して、上記容量部を積層させて形成した構成の半導体メモリ装置において、

半導体基体に形成した凹部側壁に上記ゲート電極を形成し、上記容量部を上記凹部底部と電気的に接続して上記凹部に埋め込んで形成したことを特徴とする半導体メモリ装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体メモリ装置に関する。本発明は例えば、スタックド・キャパシタ(Stacked Capacitor)形DRAMの集積化において、キャパシタ(以下容量部という)のキャパシタンス(以下容量と

いう)とスイッチングトランジスタのゲート長を十分に確保できる半導体メモリ装置に関するものである。

(発明の概要)

本発明は、メモリセルがスイッチングトランジスタを形成するMIS トランジスタと容量部とを有し、上記MIS トランジスタのゲート電極上の少なくとも一部に絶縁膜を介して上記容量部を積層させて形成した構成の半導体メモリ装置において、半導体基体に形成した凹部側壁に上記ゲート電極を形成し、上記容量部を上記凹部底部と電気的に接続して上記凹部に埋め込んで形成したことにより、容量部の容量とスイッチングトランジスタのゲート量とを十分に確保できるとともに、段差が少なく配線のカバレッジが良好になるようにしたものである。

(従来の技術及びその問題点)

従来より、半導体メモリ装置、例えばスタックド・キャパシタ形DRAMにおいては、DRAMの大

集積化に伴い、セルサイズの縮小化が求められている。セルサイズの縮小化においては、種々の問題があり、具体的には

①容量部を基板に対して平面的（水平方向）に形成する場合の集積化の方法では、セル面積を縮小にし、かつ段差を押さえなければならないので、セルの容量部の容量を十分に確保することが困難になってきている。

②スイッチングトランジスタを基板に対して平面的に形成する場合の集積化の方法では、スイッチングトランジスタのゲート長及びゲート幅を十分に確保することができなくなり、ショートチャネル効果の影響がある。

③上記②の方法では例えばゲート電極等による段差がセルの単位面積当たり多くなり例えばビット線等のカパレッジが困難になる。

等の問題がある。

〔発明の目的〕

本発明は、かかる問題点を解決するためになされ

S トランジスタ14のゲート電極6上の少なくとも一部に絶縁膜7を介して容量部9を積層させて形成した構成の半導体メモリ装置であって、半導体基体1に形成した凹部3側壁にゲート電極6を形成し、容量部9を凹部3底部と電気的に接続して凹部3に埋め込んで形成したものである。

本発明においては、凹部内の側壁にゲート電極を形成し、該ゲート電極の内側の凹部底部と電気的に接続している容量部を凹部に埋め込んだ構成のものが好ましい。

本発明において、凹部とは該ゲート電極を側壁に形成した後、ゲート電極内側の半導体基体を更に深く選択的に除去して形成した凹部を含むものであり、該深く形成した凹部内にまで容量部を形成すれば更に好ましい。

〔作用〕

本発明においては、容量部を半導体基体に対して平面的（水平方向）に形成しないで、半導体基体に形成された凹部内に埋め込んだ構成にしたので、容

たもので、容量部の容量と、スイッチングトランジスタのゲート長及びゲート幅とを十分に確保でき、かつ、段差が少なく配線のカパレッジが良好な半導体メモリ装置を得ることを目的とする。

〔問題点を解決するための手段〕

本発明に係る半導体メモリ装置は、メモリセルがスイッチングトランジスタを形成するMIS トランジスタと容量部とを有し、上記MIS トランジスタのゲート電極上の少なくとも一部に絶縁膜を介して上記容量部を積層させて形成した構成の半導体メモリ装置であって、半導体基体に形成した凹部側壁に上記ゲート電極を形成し、上記容量部を上記凹部底部と電気的に接続して上記凹部に埋め込んで形成したものである。

本発明の構成について、後記詳述する本発明の一実施例を用いて説明すると、次のとおりである。即ち、本発明においては、第1図に例示するように、メモリセルがスイッチングトランジスタを形成するMIS トランジスタ14と容量部9とを有し、MIS

容量部をセルの単位面積当たり多くとって集積化でき、セルの単位面積当たりの容量を十分に確保することができる。

また、ゲート電極を凹部3側壁に沿って埋め込んだので、ゲート長及びゲート幅を十分に確保することができる。

また、ゲート電極等による段差が減少するので、配線層のカパレッジが良好になる。

〔実施例〕

以下第1図～第3図を参照して、本発明の一実施例を説明する。なお、当然のことであるが、本発明は以下に述べる実施例により限定されるものではない。

第1図は本発明の半導体メモリ装置の一実施例の構造を示す断面図、第2図はその平面の構造を示す概略図である。図示例は、メモリセルがスイッチングトランジスタを形成するMIS トランジスタと容量部とから構成されるスタックト・キャパシタ形DRAMに本発明を適用したものである。

これらの図において、1は例えばSiからなる半導体基体、2は例えば SiO_2 からなる素子分離絶縁膜2、3はトレンチ溝として具体化された凹部、4はソース/ドレイン電極としての基板拡散領域、5は例えば SiO_2 からなるゲート絶縁膜、6は例えばポリSiからなるゲート電極、7は例えば SiO_2 からなる絶縁膜、8はキャパシタ下部電極としての例えばドーピングしたポリSiからなる多結晶半導体層、9は誘電体膜としての例えば SiO_2 からなる容量部、10はキャパシタ上部電極としての例えばドーピングしたポリSiからなる多結晶半導体層、11は例えばPをドーブした SiO_2 (PSG)からなる層間絶縁膜、12はコンタクト領域、13は例えばビット線としての例えばAlからなる配線層、14はスイッチングトランジスタを形成するMISトランジスタ、15は素子分離絶縁膜2との境界である。

なお、ここでは1個の凹部3に対して2個のMISトランジスタ14と一個の容量部9が形成されており、凹部3下部の基板拡散領域4と、配線層13とコンタクトをとっている基板拡散領域4とが2個の

スイッチングトランジスタに対して共通のソース/ドレイン領域となっている。

また、メモリセルは1個のMISトランジスタ14と1個の容量部9とから構成されており、1個の容量部9が2個のMISトランジスタ14に対して共通のキャパシタとなっている。

第3図(a),(b)は本発明の半導体メモリ装置を得るための製造方法の一実施例を説明するための図である。

これらの図において、第1図及び第2図と同一符号は同一または相当部分を示す。

次にその製造工程について簡単に説明する。

まず、第1図(a)に示すように、例えばフォトリソグラフィと熱酸化により半導体基体1に素子分離絶縁膜2を形成した後、フォトリソグラフィにより凹部3を形成する。次いで、半導体基体1に対して垂直方向にイオン注入を行って基板拡散領域4を形成した後、熱酸化によりゲート絶縁膜5を形成する。そして、多結晶半導体層を全面に形成した後、例えばエッチバックとフォトリソグラフィにより半導体基体

1に形成した凹部3側壁にゲート電極6を形成する。

次に、第1図(b)に示すように、ゲート絶縁膜5及び素子分離絶縁膜2を薄くエッチングした後、熱酸化によりゲート電極6の側壁に絶縁膜7を形成する。次いで、例えばRIEにより、凹部3底部で絶縁膜7の内側のゲート絶縁膜5を除去した後、不純物をドーピングしてアニール処理した多結晶半導体層8を凹部3底部の基板拡散領域4とコンタクトをとるように形成する。

次に、例えば熱酸化により容量部9を凹部3底部と電気的に接続するように凹部3に埋め込んで形成した後、容量部9上に多結晶半導体層10を形成する。次いで、多結晶半導体層10上に不純物、例えばPをドーブした SiO_2 からなる層間絶縁膜11を形成した後、例えばフォトリソグラフィによりコンタクト領域12を形成する。そして、コンタクト領域12とコンタクトをとるように配線層13を形成することにより第1図に示すような半導体メモリ装置が完成する。

即ち、上記実施例では、容量部9を半導体基体1に対して平面的（水平方向）に形成せず、半導体基

体1に形成された凹部3内に埋め込んで形成した構造にしたので、容量部9をセルの単位面積当たり多くとって集積化でき、セルの単位面積当たりの容量を十分に確保することができる。

また、スイッチングトランジスタを形成するMISトランジスタ14を半導体基体1に対して平面的に形成した構成としないで、凹部3内に埋め込んだ構成にしており、時にゲート電極6においては凹部3側壁に沿ってサイドウォール形状で埋め込まれ、その下部の半導体基体1に基板拡散領域4を構成している。このため、MISトランジスタ14をセルの単位面積当たり多くとって集積化でき、ゲート長及びゲート幅を十分に確保することができる。更に、ゲート電極6等による段差が減少するので配線層13のカバレッジが良好になる。

第4図は本発明の半導体メモリ装置の他の実施例の構造を示す断面図である。

この図において、第1図と同一符号は同一または相当部分を示し、3aは凹部である。

この構成の製造方法としては、凹部3aの製造工

程を追加している他は第3図(a),(b)で説明した実施例のものと同様な製造方法をとっている。四部3aは、具体的には、四部3底部のゲート絶縁膜7を除去した後、例えばRIEにより半導体基体1を更に選択的に除去して形成したものである。

この実施例では、第1図の実施例の効果に加えて、容量部9を更に多くとって集積化しているので、セルの単位面積当りの容量を更に増大させることが可能である。

(発明の効果)

上述の如く本発明によれば、容量部の容量と、スイッチングトランジスタのゲート長及びゲート幅とを十分に確保でき、かつ段差が少なく配線のカパレージが良好になるという効果がある。

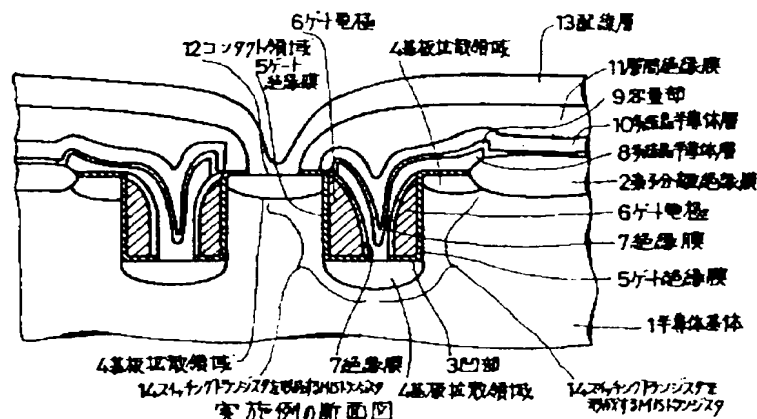
4. 図面の簡単な説明

第1図は本発明の半導体メモリ装置の一実施例の構造を示す断面図、第2図は第1図の本発明の半導体メモリ装置の構造を示す平面概略図、第3図は本

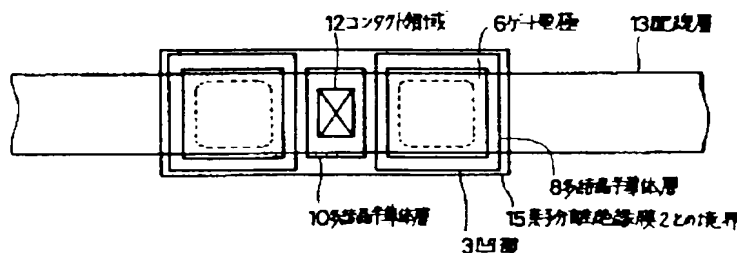
発明の半導体メモリ装置を得るための製造方法の一実施例を説明するための図、第4図は本発明の半導体メモリ装置の他の実施例の構造を示す断面図である。

1 ……半導体基体、3 ……凹部、6 ……ゲート電極、7 ……絶縁膜、9 ……容量部、14 ……スイッチングトランジスタを形成するMIS トランジスタ。

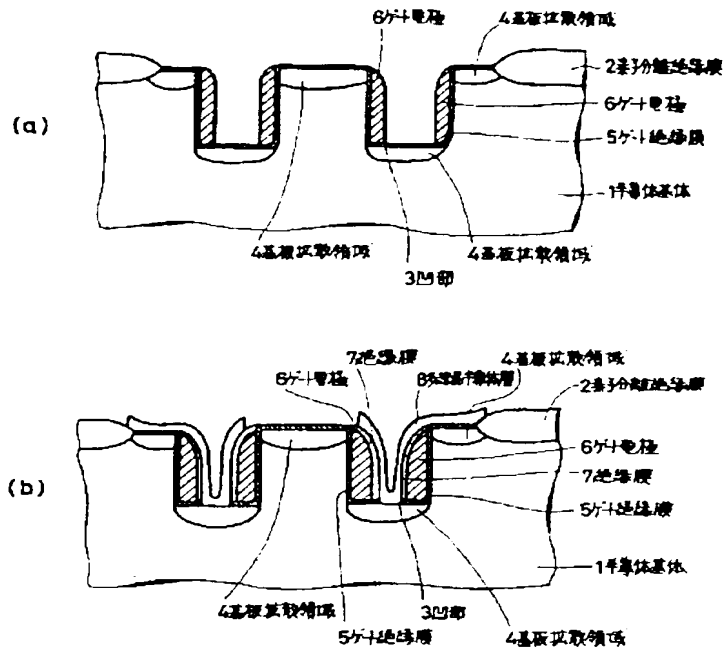
特許出願人 ソニー株式会社
代理人弁理士 高 月 亨



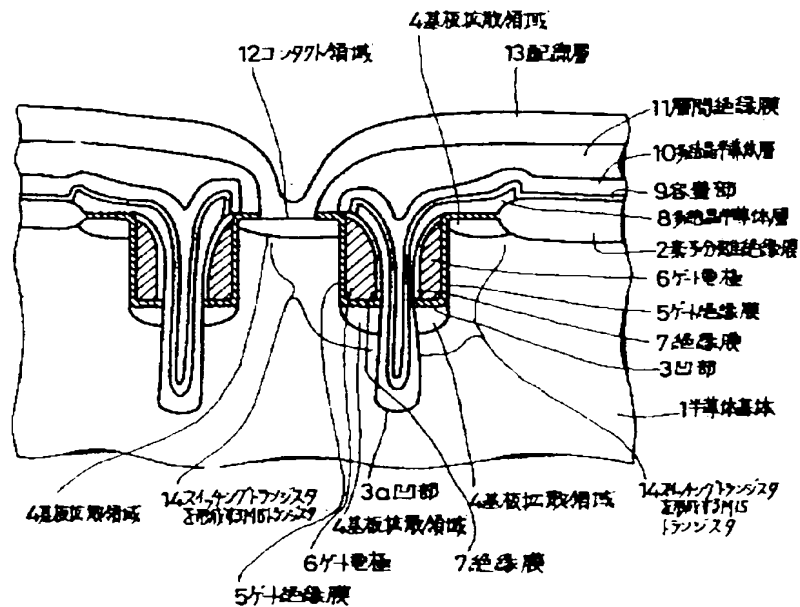
第 1 図



実施例の平面概略図



実施例の工程図
第 3 図



他の実施例の断面図
第 4 図